

GENERICAMENTE POLARIZADOS

Jader Alves de Lima Filho
 ITAÚ COMPONENTES S.A.
 Av. do Estado 5459
 01515 São Paulo - SP

Trabalho realizado no Edinburgh Microfabrication Facility, Universidade de Edimburgo, sob o patrocínio FINEP/CNPq/Conselho Britânico.

RESUMO: Um preciso modelamento da tensão de limiar em transistores MOS é requerido ao se integrar subsistemas digitais em escala LSI e VLSI utilizando técnicas de projeto dinâmico.

Neste trabalho é apresentado um modelo teórico-experimental que descreve o comportamento da tensão de limiar em transistores MOS genericamente polarizados, considerando-se os efeitos devido a pequenas dimensões de canal. Incluindo flutuações devido à inerente não-uniformidade do processo de fabricação, um erro médio inferior a 10% foi obtido no confronto entre os valores calculados e experimentais da tensão de limiar, para uma larga faixa de dimensões de canal.

Embora os valores obtidos para os parâmetros de ajuste ("fitting parameters") estejam vinculados ao processo NMOS utilizado, pode-se recomendar uma aplicação genérica do presente modelo a transistores MOS, canal N ou P, com porta de silício policristalino ou de metal.

ABSTRACT: Both LSI and VLSI integration of digital circuits request an accurate modeling of MOSFET threshold voltage whenever dynamic techniques of designing are adopted.

The purpose of this work is to present a simplified theoretical-experimental model for the threshold voltage in generally-biased transistors, taking into account small-channel dimensions effects. Comparisons between calculated and measured values have shown an average error lower than 10% over a large range of channel dimensions.

Although the fitting parameters have values tied to the process of fabrication, one can recommend a general application of this model for both N and P channel MOS transistors.

GENERICAMENTE POLARIZADOS"

01. INTRODUÇÃO

Neste trabalho é apresentado um modelo teórico-experimental que descreve o comportamento da tensão de limiar em transistores MOS genericamente polarizados, considerando-se os efeitos devido a pequenas dimensões de canal.

A utilização de modelos que descrevem as características de transistores MOS através de expressões de ajuste torna-se importante em Projetos Auxiliados por Computador, permitindo que a simulação de circuitos em escala de integração LSI, ou mesmo VLSI, seja realizada com grande economia de tempo de CPU. Também, efeitos que requerem uma complexa análise teórica podem ser temporariamente modelados, com boa precisão, através deste método.

Os resultados experimentais são extraídos de transistores com diferentes dimensões de canal, fabricados segundo um processo NMOS, porta de Silício policristalino, disponível no Edinburgh Microfabrication Facility, utilizando-se, para tanto, um sistema automático de aquisição de dados Keitley/300, acoplado a um computador Digital PDP-11. Embora alguns valores apresentados estejam diretamente vinculados ao processo de fabricação utilizado, pode-se recomendar, de um modo geral, a aplicação do referido modelo a transistores MOS, com porta de Silício policristalino ou de metal, e com ajuste da tensão de limiar através de implantação. Para tanto, alguns dos parâmetros experimentais devem ser recalculados em função do novo processo de fabricação.

02. MODELAMENTO DA TENSÃO DE LIMIAR EM TRANSISTORES MOS

A tensão de limiar é analisada inicialmente sob condições de baixos campos, evoluindo para condição mais genéricas de polarização, levando-se em conta os efeitos decorrentes de pequenas dimensões de canal. Deste modo, torna-se também necessário uma análise do fator de corpo, e sua dependência com a polarização de substrato e dimensões de canal.

02.01. Tensão de limiar para $V_{DS}=0.1V$ e $V_S=0V$

A tensão de limiar de um transistor MOS com fonte aterrada e $V_{DS}=0.1V$ é descrita por:

$$V_{TH}(V_{SUB}, L_{ef}, W_{ef}) = V_{TO}(L_{ef}, W_{ef}) + \gamma(V_{SUB}, L_{ef}, W_{ef}) \times \left(\sqrt{|V_{SUB}| + 2\phi_{FP}} - \sqrt{2\phi_{FP}} \right) \quad (2.1)$$

onde V_{TO} é a tensão de limiar do dispositivo sem polarização de substrato ($V_{SUB}=0$), γ o fator de corpo [1,2,3,4] e L_{ef} , W_{ef} correspondem às dimensões efetivas de comprimento e largura de canal, respectivamente. Neste trabalho, a tensão de limiar, com $V_{DS}=0.1V$, é determinada experimentalmente através de extrapolação linear na curva corrente de dreno x tensão de porta, utilizando-se o método dos mínimos quadrado [5,6].

02.01.01. Fator de corpo

Fixando-se uma polarização de substrato, experimentalmente a dependência do fator de corpo com o inverso das dimensões de canal $1/L_{ef}$ e $1/W_{ef}$, tem-se mostrado aproximadamente linear, como indicado nas figuras 2.1 e 2.2.

Assim, o fator de corpo pode ser escrito como

$$\gamma(V_{SUB}, L_{ef}, W_{ef}) = \gamma_0(V_{SUB}) \left[1 - \frac{K_L}{L_{ef}} + \frac{K_W}{W_{ef}} \right] \quad (2.2)$$

onde $K_L = \tan \alpha / \gamma_L$ (ver figura 2.1)

$K_W = \tan \beta / \gamma_W$ (ver figura 2.2)

e $\gamma_0(V_{SUB})$ é o fator de corpo para um transistor de comprimento e largura grandes de canal, cuja dependência com V_{SUB} está mostrada na figura 2.3. Os valores médios obtidos experimentalmente para K_L e K_W são $0.43 \mu m$ e $0.85 \mu m$, respectivamente.

A não-uniformidade do perfil de impurezas no substrato (perfil gaussiano após a implantação e recozimento) faz com que, para pequenos valores de $|V_{SUB}|$, o fator de corpo assumia valores relativamente altos, uma vez que a largura da camada de carga espacial, sob a região de porta, é pequena. À medida em que $|V_{SUB}|$ aumenta, o mesmo apresenta um valor mais constante, aproximando-se de uma situação de dopagem uniforme no substrato.

No presente modelo, a dependência do fator de corpo com a polarização de substrato é descrita por:

$$\gamma_0(V_{SUB}) = (\gamma_1 - \gamma_2) \exp(-\delta |V_{SUB}|) + \gamma_2 \quad (2.3)$$

onde $\gamma_1 = \gamma_0(V_{SUB}=0)$

$\gamma_2 = (2 \epsilon_0 \epsilon_{sigNA})^{1/2} / Cox$

$\delta \dots$ parâmetro de ajuste

Para um transistor com $L_{ef}=27.5 \mu m$ e $W_{ef}=30.0 \mu m$, variando-se $|V_{SUB}|$ de 0 a 5 volts, tem-se δ na faixa $0.27 - 0.30 V^{-1}$, sendo $0.29 V^{-1}$ o valor adotado. Quanto a γ_1 e γ_2 tem-se, respectivamente, $0.720 V^{1/2}$ e $0.375 V^{1/2}$

02.01.02. Tensão de limiar para $V_{SUB}=0$ e $V_{DS}=0.1V$

Fixando-se a polarização de substrato em zero volts, a dependência da tensão de limiar com o inverso das dimensões de canal também tem-se mostrado aproximadamente linear, como indicado nas figuras 2.4 e 2.5, justificando VTO ser descrito por:

$$VTO (L_{ef}, W_{ef}) \Big|_{V_{SUB}=0} = V_{THLD} \Big|_{V_{SUB}=0} \times \left[1 - \frac{\alpha L}{L_{ef}} + \frac{\alpha W}{W_{ef}} \right] \quad (2.4)$$

onde V_{THLD} corresponde à tensão de limiar para um transistor com largura e comprimento grandes de canal, para $V_{SUB} = 0$. Neste caso, V_{THLD} pode ser considerado como sendo a tensão de limiar de um capacitor MOS [1,2,7,8]. Os valores médios obtidos experimentalmente para αL e αW são, respectivamente, $0.22 \mu m$ e $0.68 \mu m$.

A validade da expressão (2.1) foi comprovada experimentalmente utilizando-se transistores com diferentes dimensões de canal, conforme mostrado nas tabelas 2.1 e 2.2, sendo o erro médio obtido inferior a 10%, incluindo as flutuações devido à inerente não-uniformidade do processo de fabricação. O valor de $V_{THLD}(V_{SUB}=0)$ adotado é $0.66V$, experimentalmente obtido em transistores com $W_{ef}=50\mu m$ e $L_{ef}=47.5\mu m$.

VSUB (V)	VTH (EXP) (V)	VTH (CALC) (V)	ERRO %
0.0	0.608	0.545	10.4
-0.5	0.817	0.682	16.6
-1.0	0.892	0.775	13.1
-1.5	0.947	0.844	10.9
-2.0	0.982	0.892	8.58
-2.5	1.01	0.941	7.16
-3.0	1.04	0.978	5.72
-3.5	1.06	1.01	5.26
-4.0	1.08	1.04	4.32
-4.5	1.11	1.06	4.25
-5.0	1.12	1.08	3.23

TABELA 2.1 - Valores calculados e experimentais de VTH para $L_{eff}=1.5\mu m$

VSUB (V)	VTH (EXP) (V)	VTH (CALC) (V)	ERRO %
0.0	0.623	0.653	-4.96
-0.5	0.825	0.842	-2.01
-1.0	0.914	0.970	-6.11
-1.5	1.00	1.06	-6.28
-2.0	1.08	1.14	-5.55
-2.5	1.14	1.20	-4.70
-3.0	1.20	1.25	-3.56
-3.5	1.26	1.29	-2.36
-4.0	1.31	1.33	-1.04
-4.5	1.37	1.36	0.94
-5.0	1.42	1.39	1.72

TABELA 2.2 - Valores calculados e experimentais de VTH para $L_{eff}=3.5\mu m$

02.02.01. Tensão de limiar na Região Triodo

Considerando-se ainda $V_S=0$, a presença de uma tensão de dreno VD causa um acréscimo na largura da região de carga espacial próximo ao dreno. Portanto, espera-se uma dependência da tensão de limiar com VD, acentuada à medida em que o comprimento de canal é diminuído. De modo a simplificar esta dependência assume-se, para dispositivos de canal curto, uma região depletada conforme mostrado na figura 2.6. Assim, a tensão de limiar para um transistor em sua região triodo, em função de VD, é dada por [9].

$$V_{TH}(VD, V_{SUB}, L_{ef}, W_{ef}) = V_{TO}(L_{ef}, W_{ef}) \quad \left| \begin{array}{l} + \\ V_{SUB}=0 \\ VD = 0.1V \end{array} \right.$$

$$+ \frac{1}{2} \gamma(V_{SUB}, L_{ef}, W_{ef}) \times$$

$$\times \left\{ \sqrt{2\theta_{FP} + |V_{SUB}| + VD} + \sqrt{2\theta_{FP} + |V_{SUB}|} - 2\sqrt{2\theta_{FP}} \right\} \quad (2.5)$$

onde $\gamma(V_{SUB}, L_{ef}, W_{ef})$ e $V_{TO}(L_{ef}, W_{ef})$ são dados por (2.2) e (2.4), respectivamente.

Assumindo agora $V_S > 0$ e $VD=0$, analogamente ao caso anterior, a largura da região depletada é alterada junto à fonte. A configuração da região de carga espacial adotada é mostrada na figura 2.7. Combinando-se ambos os casos, i.e., $V_S \neq 0$ e $VD \neq 0$, o potencial de superfície é dado por:

$$\phi_s(x) = \frac{VD}{L_{ef}} x + \frac{V_S}{L_{ef}} (L_{ef} - x) + 2\theta_{FP} + |V_{SUB}| \quad (2.6)$$

e, admitindo-se junção N+/P abrupta e concentração uniforme de impurezas (N_A) no substrato, a largura da região depletada é descrita por [1,2,8]

$$x_d(x) = \left[\frac{2 \epsilon_0 \epsilon_{si} \phi_s(x)}{q N_A} \right]^{1/2} =$$

$$= \left[2 \epsilon_0 \epsilon_{si} \left(\frac{VD}{L_{ef}} x + \frac{V_S}{L_{ef}} (L_{ef} - x) + 2\theta_{FP} + |V_{SUB}| \right) \right]^{1/2} \quad (2.7)$$

A carga espacial, sob o eletrodo de porta, é dada por:

$$Q_B^* = q \cdot N_A \cdot W_{ef} \int_0^{L_{ef}} x d(x) dx \quad (2.8)$$

Substituindo (2.7) em (2.8) e integrando, tem-se

$$Q_B^* = L_{ef} \cdot W_{ef} \sqrt{2 \epsilon_0 \epsilon_{si} q N_A} x \frac{2}{3(V_D - V_S)} x \times \left[(V_D + |V_{SUB}| + 2\theta_{FP})^{3/2} - (V_S + |V_{SUB}| + 2\theta_{FP})^{3/2} \right] \quad (2.9)$$

A tensão de limiar em uma estrutura MOS é definida por [1, 2, 7, 9]:

$$V_{TH} = V_{FB} + 2\theta_{FP} + \frac{Q_B^*}{C_{ox} \cdot W_{ef} \cdot L_{ef}} \quad (2.10)$$

onde V_{FB} corresponde à tensão de banda plana. Substituindo (2.9) em (2.10) e reagrupando termos em função de V_{TO} e γ , a tensão de limiar para um transistor MOS, genericamente polarizado em sua região triodo, é dada por:

$$V_{TH}(V_S, V_D, V_{SUB}, L_{ef}, W_{ef}) = V_{TO}(L_{ef}, W_{ef}) + \gamma(V_{SUB}, L_{ef}, W_{ef}) \times \left\{ \frac{2}{3(V_D - V_S)} \left[(V_D + |V_{SUB}| + 2\theta_{FP})^{3/2} - (V_S + |V_{SUB}| + 2\theta_{FP})^{3/2} \right] - (2\theta_{FP})^{1/2} \right\} \quad (2.11)$$

02.02.02. Tensão de limiar na saturação

Tem-se observado que, transistores na saturação apresentam um decréscimo em sua tensão de limiar quando V_D tem o seu valor aumentado, predominantemente em dispositivos de canal curto. No presente modelo este efeito é descrito por:

$$V_{TSAT}(V_S, V_D, V_{SUB}, L_{ef}, W_{ef}) = V_{TH}(V_S, V_D, V_{SUB}, L_{ef}, W_{ef}) - \alpha(L_{ef})(V_D - V_{DSAT}) \quad (2.12)$$

onde V_{TSAT} corresponde à tensão de limiar para um transistor saturado, V_{DSAT} à tensão de saturação do dispositivo, V_{TH} à tensão de limiar na região triodo, dada por (2.5) ou (2.11) e $\alpha(L_{ef})$ um parâmetro de ajuste, dependente do comprimento de canal.

Na figura 2.8 tem-se a variação da tensão de limiar na saturação com a tensão de dreno, para transistores com diferentes comprimentos de canal ($L_{ef}=0.5\mu m$, $1,5\mu m$ e $3,5\mu m$). No caso, V_{GS} é fixado em 200mV acima da tensão de limiar, de modo que $V_{DX}=V_D-V_{DSAT} \approx V_D$ com boa aproximação. O valor da tensão de limiar foi obtido através de extrapolação linear, no ponto de máxima derivada, pelo método dos mínimos quadrados, na curva $\sqrt{I_{DS}} \times V_{GS}$.

A dependência do parâmetro α com o comprimento de canal é mostrado na figura 2.9, adotando-se, portanto, uma variação linear:

$$\alpha(L_{ef}) = \frac{h_1}{L_{ef}} \quad (2.13)$$

-2

sendo 4.28×10^{-2} um o valor médio encontrado para o parâmetro de ajuste h_1 .

Os resultados teóricos e experimentais da tensão de limiar para transistores genericamente polarizados, podem ser comparados através das tabelas 2.3 e 2.4. Os valores teóricos são calculados através da expressão (2.12), com o valores anteriormente especificados dos parâmetros de ajuste, e fixando-se $V_{SUB}=-2.5V$.

VD (V)	VS (V)	VTSAT (EXP)	VTSAT (CALC)	ERRO (%)
2.00	0.95	1.05	1.08	-2.86
3.00	1.88	1.12	1.14	-1.79
4.00	2.85	1.15	1.20	-4.35
5.00	3.79	1.21	1.24	-2.48
6.00	4.77	1.23	1.29	-4.88
7.00	5.74	1.26	1.32	-4.76
8.00	6.71	1.29	1.36	-5.43

TABELA 2.3 - Valores de VTSAT (medidos e calculados)
para um transistor com $W_{ef} = 30\mu\text{m}$ e $L_{ef} = 1.5\mu\text{m}$

VD (V)	VS (V)	VTSAT (EXP)	VTSAT (CALC)	ERRO (%)
2.00	0.74	1.26	1.40	-11.11
3.00	1.68	1.32	1.51	-14.39
4.00	2.60	1.40	1.61	-15.00
5.00	3.49	1.51	1.69	-11.92
6.00	4.38	1.62	1.77	- 9.26
7.00	5.27	1.73	1.85	- 6.94
8.00	6.15	1.85	1.92	- 3.78

TABELA 2.4 - Valores de VTSAT (medidos e calculados)
para um transistor com $W_{ef} = 6.0\mu\text{m}$ e $L_{ef} = 3.5\mu\text{m}$

O conhecimento do decréscimo da tensão de limiar com a tensão de dreno, para um transistor saturado, torna-se importante ao se utilizar transistores de canal curto como chave. Variações na tensão de dreno de um transistor, inicialmente em seu estado de corte e tendo flutuante sua porta, pode levar o dispositivo a uma subcondução, ou mesmo a uma condução.

03. CONCLUSÃO

Procurou-se estabelecer, neste trabalho, um simplificado modelo teórico-experimental, baseado em parâmetros de ajuste ("fitting parameters") que descreva, com razoável precisão, o comportamento da tensão de limiar em transistores MOS, e que possa bem adaptar-se aos programas de auxílio a projetos, como, por exemplo, SPICE [10] e MSINC [11].

Para tanto, foram definidas expressões para o cálculo da tensão de limiar em transistores MOS, sob qualquer condição de polarização, levando-se em conta sua dependência com a largura e comprimento efetivos de canal. Incluindo flutuações devido à inerente não-uniformidade do processo de fabricação, obteve-se um erro medio não superior a 10% no confronto entre os valores calculados e experimentais da tensão de limiar, para uma larga faixa de dimensões de canal ($0.5\mu\text{m} \leq L_{\text{ef}} \leq 47.5\mu\text{m}$; $6.0\mu\text{m} \leq W_{\text{ef}} \leq 50.0\mu\text{m}$) e de polarização ($0 \leq |V_{\text{SUB}}| \leq 5\text{V}$; $0 \leq V_{\text{GS}} \leq 12\text{V}$, $0 \leq V_{\text{DS}} \leq 12\text{V}$).

Embora os valores obtidos para os parâmetros de ajuste estejam vinculados ao processo NMOS utilizado, pode-se recomendar uma aplicação genérica do presente modelo a transistores MOS, canal N ou P, com porta de silício policristalino ou de metal.

04. BIBLIOGRAFIA

01. A.S.Grove - "Physics and Technology of Semiconductor Devices", John Wiley and Sons, 1967
02. S.M.Sze - "Physics of Semiconductor Devices", John Wiley and Sons, 1981
03. R. Crawford - "MOSFET in Circuit Design", Texas Instruments Serie, McGraw Hill, 1967
04. J.A. Lima - "Projeto e Elaboração de uma Unidade Lógica e Aritmética Utilizando Tecnologia NMOS" - Tese de Mestrado apresentada à EPUSP, 1980
05. A. Ralston - "A First Course in Numerical Analysis", McGraw Hill, 1965

06. M. Spiegel - "Estatística" - Coleção Schaum, McGraw Hill do Brasil, 1974
07. R. Cobbold - "Theory and Application of Field - Effect Transistors", John Wiley and Sons, 1970
08. C. Sah - "Characteristics of the Metal-Oxide-Semiconductor Transistor" - IEEE Transactions on Electron Devices, July 1964
09. E. Sun and J. Moll - "A Simple Analytical Short Channel MOS Model" - Technical Report, Hewlett Packard Laboratories, 1978
10. L.W. Nagel - "SPICE2: A Computer Program to Simulate Semiconductor Circuits" - Memo n^o ERL-M-520 - 09.05.75, University of California
11. "MSINC - A Modular Simulador of Non-Linear Electronic Circuits" - A4 Version User's Guide, Stanford University, 1976

JALF

15.04.85

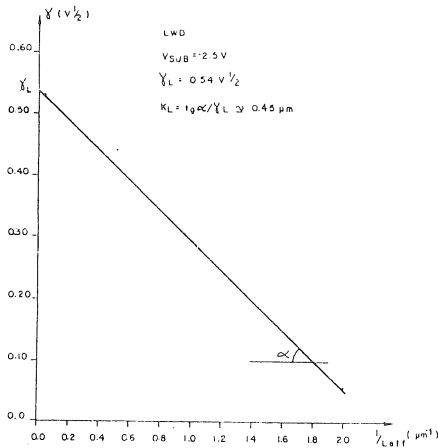


FIGURA 2.1 - Dependência do fator de corpo com o comprimento de canal

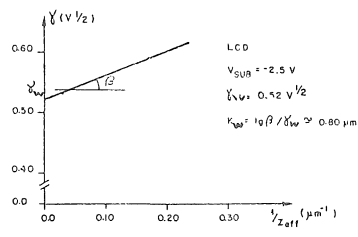


FIGURA 2.2 - Dependência do fator de corpo com a largura de canal

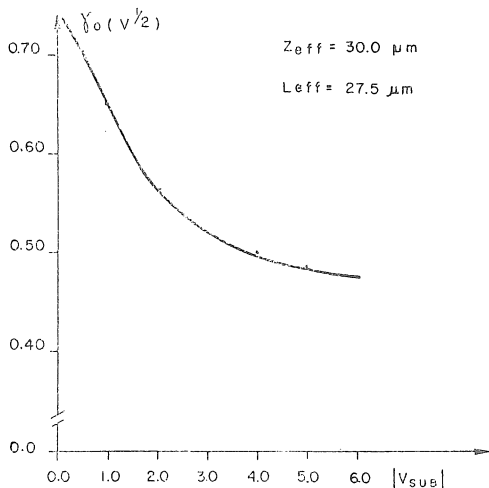


FIGURA 2.3 - Dependência do fator de corpo com V_{SUB} para o referido processo de fabricação

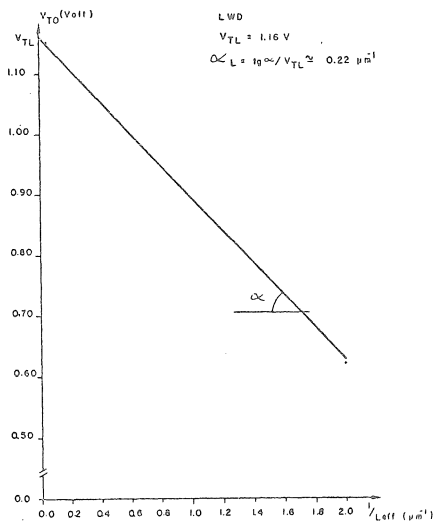


FIGURA 2.4 - Dependência de V_{TO} com o comprimento de canal

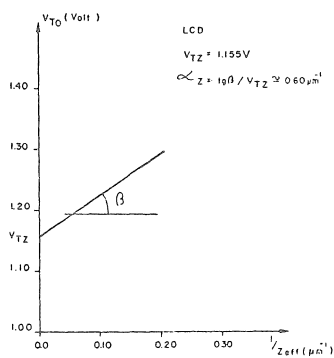


FIGURA 2.5 - Dependência de V_{TO} com a largura de canal

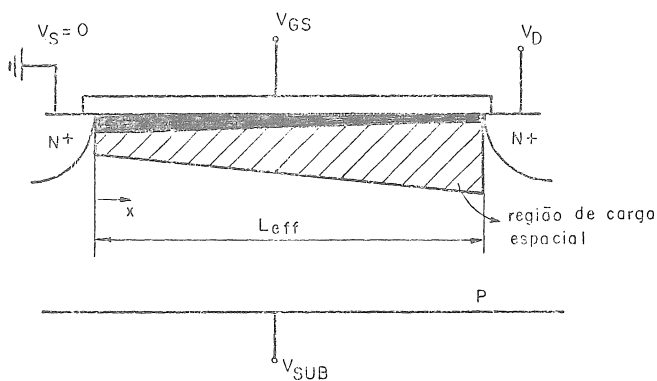


FIGURA 2.6 - Região de Carga espacial adotada para $V_D > 0$ e $V_S = 0$

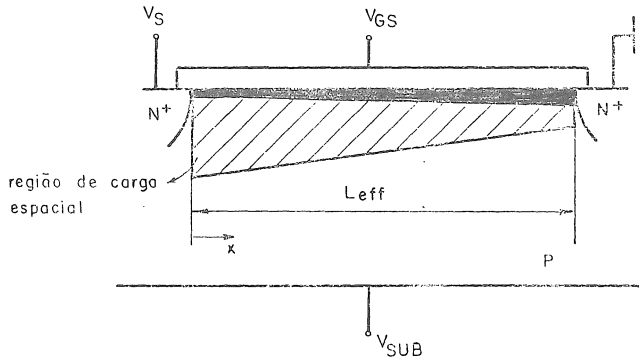


FIGURA 2.7 - Região de carga espacial adotada para $V_S > 0$ e $V_D = 0$

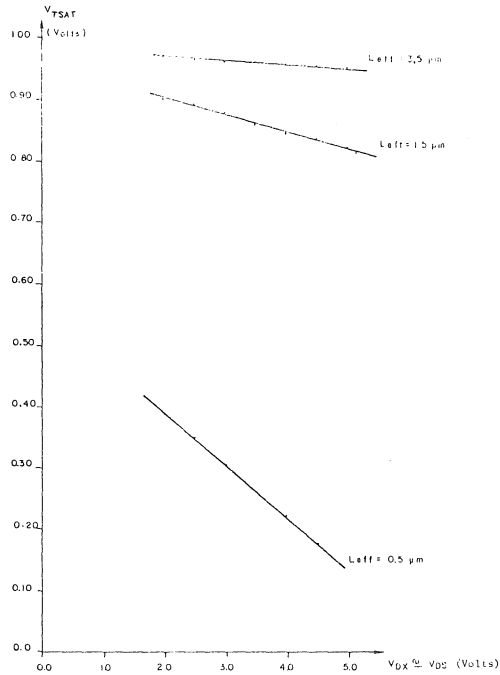


FIGURA 2.8 - Decréscimo da tensão de limiar com a tensão de dreno, na saturação

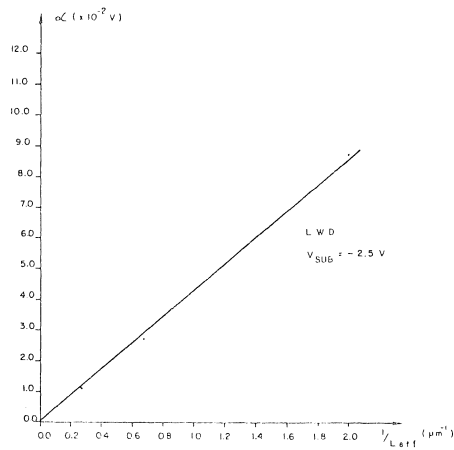


FIGURA 2.9 - Comportamento do parâmetro α com o comprimento de canal